

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-200363

(43)Date of publication of application : 04.08.1995

(51)Int.Cl.

G06F 11/30  
G06F 11/00

(21)Application number : 05-335824

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 28.12.1993

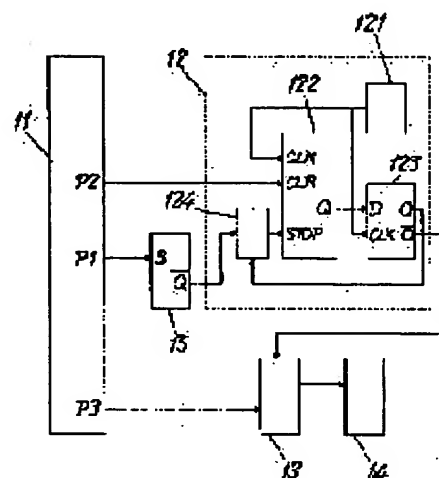
(72)Inventor :  
ONO TAKATOSHI  
KAMIYAMA YASUSHI  
SADA NORIBUMI  
MAEDA TOMOYUKI

## (54) WATCHDOG TIMER CONTROL CIRCUIT

(57)Abstract:

**PURPOSE:** To provide the watchdog timer(WDT) control circuit with high speed reply with respect to the watchdog timer control circuit one of fail safe circuits assuming accidental runaway of a microcomputer in a digital circuit.

**CONSTITUTION:** The watchdog timer control circuit is provided with a microcomputer 11, a latch circuit 15 latching a 1st output from the microcomputer 11, a WDT circuit 12 having a timer clear section using a 2nd output from the microcomputer 11 as a refresh signal so as to invalidate a time interval measurement of the refresh signal with an output of the latch circuit 15, and an AND circuit 13 ANDing a 3rd output from the microcomputer 11 and an output of the WDT circuit 12, and allows a shorter refresh interval than a microcomputer initial wait time.



## LEGAL STATUS

[Date of request for examination]

22.11.2000

[Date of sending the examiner's decision of rejection]

05.03.2002

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

**THIS PAGE BLANK (USPTO)**

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-200363

(43) 公開日 平成7年(1995)8月4日

(51) Int.Cl. <sup>8</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 11/30	3 1 0 K	9290-5B		
11/00	3 5 0 E			

審査請求 未請求 請求項の数 3 O L (全 5 頁)

(21) 出願番号 特願平5-335824

(22) 出願日 平成5年(1993)12月28日

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 小野 貴敏

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72) 発明者 神山 泰

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72) 発明者 佐田 紀文

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(74) 代理人 弁理士 小銀治 明 (外2名)

最終頁に続く

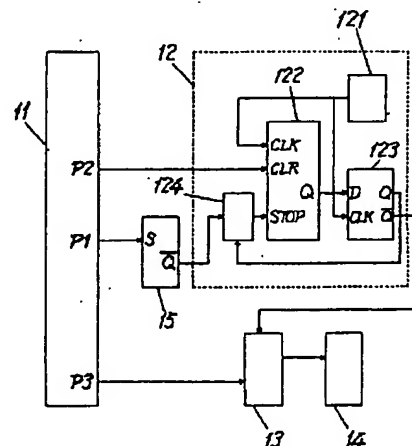
(54) 【発明の名称】 ウォッチドッグタイマー制御回路

(57) 【要約】

【目的】 本発明はデジタル回路における不慮のマイコン暴走を想定したフェイルセーフ回路の1つであるウォッチドッグタイマー制御回路に関するもので、高速応答するWDT制御回路を提供することを目的とする。

【構成】 マイコン11と、このマイコン11からの第1の出力をラッチするラッチ回路15と、マイコン11からの第2の出力をリフレッシュ信号とし、ラッチ回路15の出力でこのリフレッシュ信号の時間間隔計測を無効にするタイマークリア部を持つWDT回路12と、マイコン11からの第3の出力とWDT回路12の出力を論理積するAND回路13を備えた構成により、マイコン初期ウェイト時間よりも短いリフレッシュ間隔をとることができる。

11 マイコン	15 R-S
12 WDT回路	フリップフロップ
13 AND回路	121 クロック発生回路
14 出力	122 カウンタ回路
インターフェイス	123 Dフリップフロップ
回路	124 OR回路



## 【特許請求の範囲】

【請求項1】 マイクロコンピュータと、前記マイクロコンピュータからの第1の出力をラッチするラッチ回路と、前記マイクロコンピュータからの第2の出力をリフレッシュ信号とし前記ラッチ回路の出力でこのリフレッシュ信号の時間間隔計測を無効にするタイマークリア部を有するウォッチドッグタイマー回路と、前記マイクロコンピュータからの第3の出力と前記ウォッチドッグタイマー回路の出力を論理積するAND回路とを備えたウォッチドッグタイマー制御回路。

【請求項2】 AND回路は、マイクロコンピュータからの第3の出力とウォッチドッグタイマー回路の出力とマイクロコンピュータからの第1の出力とを論理積する請求項1記載のウォッチドッグタイマー制御回路。

【請求項3】 ラッチ回路は、クロック同期型ラッチ回路である請求項1または2記載のウォッチドッグタイマー制御回路。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、デジタル回路、特に1チップマイクロコンピュータ応用回路における不慮のマイクロコンピュータ（以下、「マイコン」と記す。）暴走を想定した、~~その回路の1つであるウォッチドッグタイマー回路とWDTと記す。）制御回路に関するもの。~~

## 【0002】

【従来の技術】近年、WDT制御回路は、マイコン応用製品における安全回路として、特に安全を必要とされる商品に定着している。

【0003】以下に、従来のWDT制御回路について説明する。図5は従来のWDT制御回路の構成を示すブロック図である。図5において、41は1チップマイコン、42はWDT回路、43はAND回路、44は出力インターフェイス回路である。WDT回路42は、クロック発生回路421、カウンタ回路422、Dフリップフロップ回路423とから構成されている。

【0004】以上のように構成されたWDT制御回路について、以下その動作について説明する。

【0005】まず、マイコン41が正常に動作している通常状態では、マイコン41の出力信号であるP2信号の立ち上がりエッジまたは立ち下がりエッジにより定期的にWDT回路42内部のカウンタ422をクリアする。

【0006】次に、マイコン41が定期的にカウンタ422をクリアするリフレッシュ信号を、カウンタ422がクロック発生部421より発生するクロックのクロック数がある一定値までカウント（以下、カウント値を「Cn」と記す。）した後、カウント値がイニシャル値（＝0）に戻るまで行う。

【0007】ここで、カウンタ422の出力Qはカウ

ント値がCn値を越えたときに“H”レベルになるように設定すると、マイコン41からリフレッシュ信号が定期的に出力されているとカウンタ422の出力Qは“L”レベルのままであり、したがってDフリップフロップ423の非反転出力Qは“L”レベル、

【0008】

【外1】

反転出力 $\overline{Q}$

【0009】は“H”レベルのままとなる。

10 【0010】この結果、カウンタ422はストップ信号を受けず動作し続ける一方、AND回路への入力は“H”となり、マイコン41の出力P3がスルーに出力インターフェイス回路44へと伝わる。

【0011】以上がマイコン41が正常動作しているときの動作であるが、以下に何等かの原因、例えば電磁波ノイズ等によりマイコン41が誤動作した場合について説明する。

【0012】マイコン41が誤動作し、リフレッシュ信号間隔が不定期となる、あるいは全くリフレッシュ信号が出なくなると、WDT回路42の中の内部カウンタ422のカウント値がCnを越えるようになる。一度でもCnを越えるとその瞬間にカウンタ422の出力Qが“H”になり、Dフリップフロップ423の非反転出力Qは“H”となり、

【0013】

【外2】

反転出力 $\overline{Q}$

【0014】は“L”となる。

30 【0015】この結果、カウンタ422はストップ信号を受けカウント動作を停止する。さらにAND回路への入力は“L”となり、誤動作しているマイコン41の出力P3は、出力インターフェイス回路44に伝わらないようになる。

【0016】

【発明が解決しようとする課題】しかし上記の従来の構成では、電源投入時にマイコン41のシステムクロック安定化のため、電源投入時マイコンがしばらく動作しない初期ウェイト機能をもつマイコンがあり、このようなマイコンを選定するとWDTリフレッシュ時間をこの初期ウェイト時間より長くとる必要があった。このため、マイコン41の誤動作検出時間をウェイト時間より短くすることが不可能で、高速応用性を求められる安全機能として十分満足できないという課題を有していた。

【0017】本発明は上記従来の問題点を解決するもので、初期ウェイト機能をもつマイコン応用製品においても、高速応答するWDT制御回路を提供することを目的とする。

【0018】

【課題を解決するための手段】上記従来の課題を解決するために本発明のWDT制御回路は、マイコンと、この

マイコンからの第1の出力をラッチするラッチ回路と、マイコンからの第2の出力をリフレッシュ信号としラッチ回路の出力でこのリフレッシュ信号の時間間隔計測を無効にするタイマークリア部を持つWDT回路と、マイコンからの第3の出力とWDT回路の出力を論理積するAND回路とを備えた構成を有している。

【0019】

【作用】この構成によって、マイコンのリフレッシュ信号を出せない初期ウェイト中はWDT回路がキャンセル（不動作状態）され、マイコンが動作始めた時にラッチ回路を通じてWDT回路をイネーブル状態（動作状態）と切換えができるので、マイコン初期ウェイト時間よりも短いリフレッシュ間隔をとることができる。

【0020】

【実施例】

（実施例1）以下、本発明の一実施例について、図面を参照しながら説明する。

【0021】図1は本発明の第1の実施例におけるWDT制御回路のブロック図、図2は動作タイミングを示す信号波形図である。

【0022】図1において、11は初期ウェイト機能を有する1チップマイコン、12はWDT回路、13はAND回路、14は出力インターフェイス回路、15はラッチ回路であるR-Sフリップフロップである。WDT回路12は内部にクロック発生回路121、カウンタ回路122、Dフリップフロップ123、OR回路124を有している。

【0023】以上のように構成されたWDT制御回路について、以下に図2を用いてその動作を説明する。

【0024】まず、マイコン11を含んだシステムに図2（a）に示すような電源を投入すると、マイコン11は、図2（b）に示すようなウェイト期間を終了した後、R-Sフリップフロップ回路15への図2（c）に示すような入力信号P1を出力する。このP1信号を受けて図2（d）に示すR-Sフリップフロップ回路15の出力はWDT回路12をカウントを開始するイネーブル状態にする。

【0025】次に、マイコン11は、WDT回路12へ図2（e）に示すようなリフレッシュ信号P2を出力する。

【0026】最後にリフレッシュ信号P2の立ち上がりで、WDT回路12内部のカウンタ回路122の図2（f）に示すようにカウント値はクリアされる。この結果、図2（g）に示すようなWDT回路12からの出力は“H”状態となり、図2（h）に示すようなマイコン11の出力信号であるP3との論理積の結果が図2（i）に示すようなAND回路13により出力される。

【0027】以上がWDT制御回路の正常な動作であるが、ある時点でマイコン11が誤動作し、マイコン11からのリフレッシュ信号P2がなくなると、WDT回路

12の内部のカウンタ回路122のカウント値がカウントスレッシュホールド値を越え、WDT回路12の出力が“L”状態に反転する。この結果マイコン出力P3が“H”であろうと“L”であるかにかかわらずAND回路13出力は“L”となり、P3信号が出力インターフェイス回路14へ伝わることを、カットすることができる。

【0028】この実施例によると従来のWDT回路12との差異は、リフレッシュ間隔 $t_2$ はマイコンウェイト期間 $t_1$ とは無関係に短く設定できることにある。

【0029】マイコン11の誤動作発生から、AND回路13出力を“L”（この場合、“L”は出力インターフェイスへの出力をカットする）とするまでの時間を誤動作検出時間 $t_3$ とすると、この $t_3$ はリフレッシュ間隔 $t_2$ に限りなく近づけることができ、すなわちマイコン11のウェイト時間に左右されないという点で優れた効果が得られる。

【0030】以上のように本実施例によれば、マイコン11からの出力P1をR-Sフリップフロップ15でラッチすることにより、マイコン11の誤動作検出時間をウェイト時間より短くすることが可能で、高速応答性を求められる安全システムに安価で対応することができる。

【0031】（実施例2）以下、本発明の第2の実施例について図面を参照しながら説明する。図3は本発明の第2の実施例を示すWDT制御回路のブロック図である。図3において、21は初期ウェイト機能のある1チップマイコン、22はWDT回路、23はAND回路、24は出力インターフェイス回路、25はR-Sフリップフロップである。WDT回路22は内部にクロック発生回路221、カウンタ回路222、ラッチ回路であるDフリップフロップ223、OR回路224を有している。

【0032】ここで、図1の構成と異なるのはマイコン21からの出力P1をAND回路23の入力の1つとした点である。また、動作で第1の実施例と異なる点は、図2Aとして示すようなマイコン誤動作が発生してもAND出力はBで示すタイミングとはならず、実線で示すタイミングになることである。

【0033】以上のようにマイコン21からの出力P1をAND回路23の入力の1つとしたことにより、マイコンウェイト期間中すなわちWDT回路22がディセーブル状態にあってもP3信号が出力インターフェイス回路24へ伝わることをカットすることができる。

【0034】なお、マイコン21の誤動作でP1が“H”になってもWDT回路22がイネーブル状態となり、WDT出力が“L”となり、結局P3信号が出力インターフェイス回路24へ伝わることをカットすることができる。

【0035】（実施例3）以下、本発明の第3の実施例

について図面を参照しながら説明する。図4は本発明の第3の実施例を示すWDT制御回路のブロック図である。図4において31は初期ウェイト機能のある1チップマイコン、32はWDT回路、33はAND回路、34は出力インターフェイス回路、35はDフリップフロップである。WDT回路32は内部12、クロック発生回路321、カウンタ回路322、ラッチ回路であるDフリップフロップ323、OR回路324を有している。

【００３６】本発明の第２の実施例である図３の構成と異なるのはＲ－Ｓフリップフロップ２５をＤフリップフロップ３５とした点である。

【0037】以上のようにR-Sフリップフロップ25をDフリップフロップ35に置き換えることでみかけの動作は同じであるが、クロック同期をとっているので電磁波ノイズ等に対して、よりタフな回路とすることができ。

【0038】なお、第1の実施例においてR-Sフリップフロップ15は、1ビット以上のラッチができるものであれば、何でもよい。

【0039】また、第2の実施例においても同様にR-Sフリップフロップ25は、1ビット以上のラッチができるものであれば、何でもよい。

【００４０】また、第３の実施例においても同様にＤフリップフロップ３５は、１ビット以上の同期ラッチができるものであれば、何でもよい。さらにこの同期クロックはＷＤＴ回路部のクロックを使用する必要はない。

【0041】なお実施例では、マイコンは初期ウェイト機能のある1チップマイコンとしているが、ウェイト機能の有無、あるいは1チップということにはこだわらな

いことは言うまでもない。

【0042】

【発明の効果】以上のように本発明はマイコンと、このマイコンからの第1の出力をラッチするラッチ回路と、前記マイコンからの第2の出力をリフレッシュ信号とし、前記ラッチ回路の出力でこのリフレッシュ信号の時間間隔計測を無効にするタイマークリア部を持つWDT回路と、マイコンからの第3の出力とWDT回路の出力を論理積するAND回路を設けることにより、リフレッシュ時間間隔がウェイト時間より短くできるマイコンの誤動作検出時間をウェイト時間より短くすることが可能で、高速応答性を求められる安全システムに安価で対応することができる優れたWDT制御回路を実現できるものである。

【図面の簡単な説明】

【図１】本発明の第１の実施例におけるWDT制御回路のブロック図

【図2】 同タイミング図

【図3】本発明の第2の実施例におけるWDT制御回路のブロック図

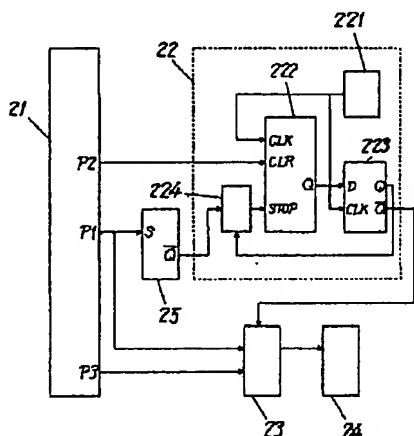
【図 4】本発明の第 3 の実施例における W D T 制御回路のブロック図

【図5】従来のWDT制御回路のブロック図

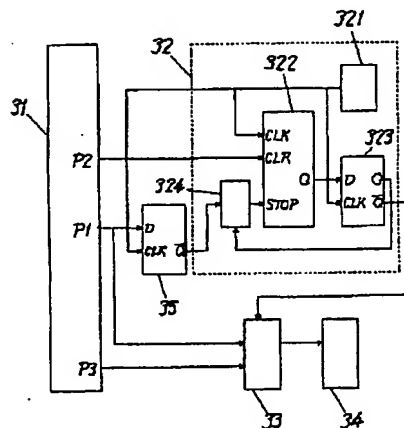
【符号の説明】

11, 21, 31 マイコン  
12, 22, 32 WDT回路  
13, 23, 33 AND回路  
15 R-Sフリップフロップ  
25 R-Sフリップフロップ

【图3】

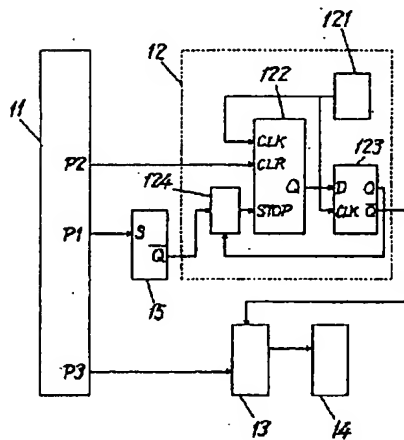


【図 4】

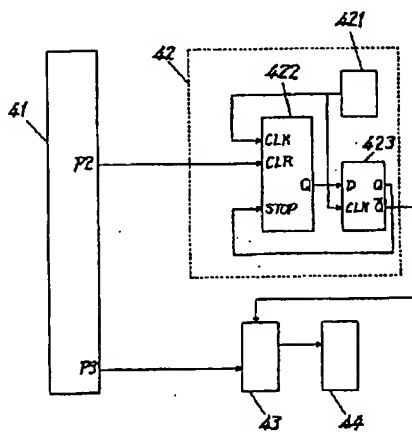


【図1】

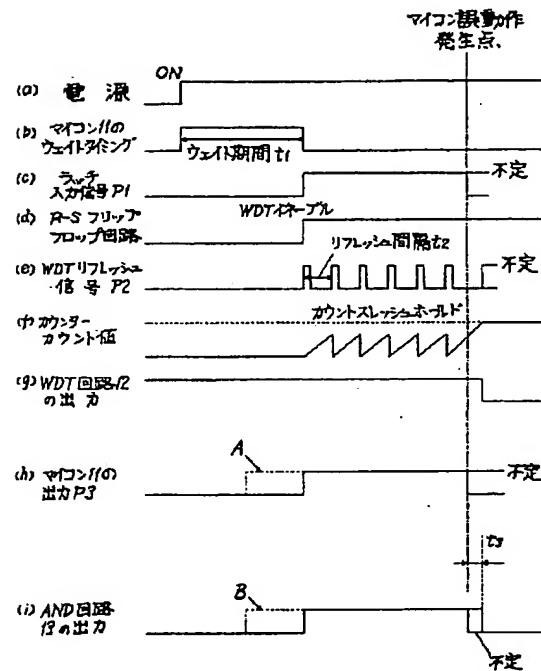
- |          |               |
|----------|---------------|
| 11 マイコン  | 15 R-S        |
| 12 WDT回路 | フリップフロップ      |
| 13 AND回路 | 121 クロック発生回路  |
| 14 出カ    | 122 カウンタ回路    |
| インターフェイス | 123 Dフリップフロップ |
| 回路       | 124 O R 回路    |



【図5】



【図2】



フロントページの続き

(72)発明者 前田 友之  
大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

THIS PAGE BLANK (USPTO)